
(19)

KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: **101996 0018736 A**

(43)Date of publication of application: **17.06.1996**

(21)Application number: **10-1994-0031949**

(71)Applicant:

**ORION ELECTRONIC CO.,
LTD.**

(22)Date of filing: **30. 11. 1994**

(51)Int. Cl

G02F 1/136

(54) MANUFACTURING METHOD FOR THIN FILM TRANSISTOR OF LIQUID CRYSTAL DISPLAY DEVICE

(57) Abstract:

The invention relates to a manufacturing method for a thin film transistor of a liquid crystal display device. The method consistent with the invention includes forming a first gate insulation layer on a transparent substrate provided with a semiconductor layer pattern by a thermal dry oxidation method, forming a second gate insulation layer on the first gate insulation layer by a low temperature LPCVD method, and subsequently forming a gate electrode and a source/drain electrode. Consequently, the interface characteristics between the semiconductor layer pattern and the gate insulation layer can be good, and thus a leakage current can be reduced and the breakdown voltage of the oxide layer can be increased. In addition, device topology failures due to the difference of the growing rate of the grain/grain boundary in the semiconductor layer pattern formed as a polysilicon layer can be suppressed, and oxidation process time can be reduced so that process yield and device reliability can be enhanced.

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
G02F 1/136

(11) 공개번호 특1996-0018736
(43) 공개일자 1996년06월17일

(21) 출원번호	특1994-0031949
(22) 출원일자	1994년11월30일
(71) 출원인	오리온전기 주식회사 엄길용 경상북도 구미시 공단동 257-3번지 (우 : 730-030)
(72) 발명자	황성연 경기도 파주군 월릉읍 영태 1리 77-13 남동현 경상남도 김해시 부원동 612-9 김태곤 경상남도 마산시 합성동 265-1 서영우 전라북도 전주시 완산구 교동 1가 61-3 엄선민 부산광역시 영도구 영선동 3가 125번지 7/2
(74) 대리인	이권희, 이정훈

심사청구 : 없음

(54) 액정표시장치용 박막 트랜지스터의 제조방법

요약

본 발명은 액정표시장치용 박막 트랜지스터의 제조방법에 관한 것으로서, 반도체층 패턴이 형성되어 있는 투명기판상에 고온 건식산화법으로 예정된 두께의 제1게이트절연막을 형성하고 그 상층에 저온 LPCVD 방법으로 나머지 두께의 제2게이트절연막을 형성한 후, 게이트전극과 소오스/드레인전극을 형성하여 TFT를 완성하였으므로, 반도체층 패턴과 게이트절연막과의 계면 상태가 우수하여 누설전류가 작아지고 산화막의 함복전압이 증가되며, 다결정실리콘층으로 된 반도체층 패턴상에서 그레인 및 그레인 바운더리간의 막성장 속도차에 의한 토폴로지 악화등의 불량을 방지하고, 산화공정시간을 단축시켜 공정수율 및 소자동작의 신뢰성을 향상시킬 수 있다.

도면

도2

발명자

[발명의 명칭]

액정표시장치용 박막 트랜지스터의 제조방법

[도면의 간단한 설명]

제2A도 내지 제2C도는 본 발명에 따른 액정표시장치용 박막 트랜지스터의 제조공정도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

투명기판상에 반도체층 패턴을 형성하는 공정과, 상기 구조의 전표면에 고온 건식산화법으로 예정된 두께의 제1게이트절연막을 형성하는 공정과, 상기 제1게이트절연막상에 저온 LPCVD 방법으로 나머지 두께의 제2게이트절연막을 형성하는 공정과, 상기 반도체층 패턴의 채널로 예정되어 있는 부분 상층의 제2게이트절연막상에 게이트전극을 형성하는 공정과, 상기 구조의 전표면에 필드산화막을 형성하는 공정과, 상기 고농도 불순물층의 일측 상부의 필드산화막과 제2 및 제1게이트절연막이 순차적으로 제거하여 상기 고농

도 불순물층을 노출시키는 콘택홀을 형성하는 공정과, 상기 콘택홀을 통하여 상기 고농도 불순물층과 접촉되는 소오스/드레인 전극을 형성하는 공정을 구비하는 액정표시장치용 박막 트랜지스터의 제조방법.

청구항 2

제1항에 있어서, 상기 투명기판을 석영 또는 유리재질로 형성하는 것을 특징으로 하는 액정표시장치용 박막 트랜지스터의 제조방법.

청구항 3

제1항에 있어서, 상기 반도체층을 다결정실리콘으로 형성하는 것을 특징으로 하는 액정표시장치용 박막 트랜지스터의 제조방법.

청구항 4

제1항에 있어서, 상기 제1게이트절연막을 700~1000℃ 온도에서 형성하는 것을 특징으로 하는 액정표시장치용 박막 트랜지스터의 제조방법.

청구항 5

제1항에 있어서, 상기 제2게이트절연막을 250~700℃ 온도에서 형성하는 것을 특징으로 하는 액정표시장치용 박막 트랜지스터의 제조방법.

청구항 6

제1항에 있어서, 상기 제1 및 제2게이트절연막을 각각 전체 두께의 20~50% 및 50~80% 두께 비로 형성하는 것을 특징으로 하는 액정표시장치용 박막 트랜지스터의 제조방법.

청구항 7

제6항에 있어서, 상기 제1 및 제2게이트절연막을 각각 전체 두께의 3:7 비율로 형성하는 것을 특징으로 하는 액정표시장치용 박막 트랜지스터의 제조방법.

청구항 8

제1항에 있어서, 상기 제2게이트절연막을 질소 또는 불활성가스 분위기에서 700~1000℃ 온도에서 열처리하는 공정을 구비하는 것을 특징으로 하는 액정표시장치용 박막 트랜지스터의 제조방법.

청구항 9

제1항에 있어서, 상기 게이트전극을 다결정실리콘층으로 형성하는 것을 특징으로 하는 액정표시장치용 박막 트랜지스터의 제조방법.

청구항 10

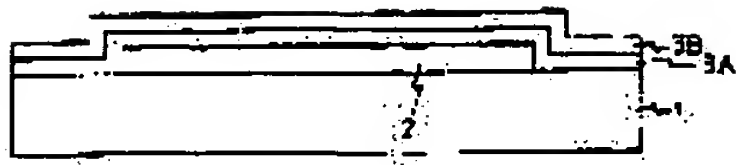
제1항에 있어서, 상기 소오스/드레인전극이 Cr, Ti 및 Si 중 어느 하나로 형성하는 것을 특징으로 하는 액정표시장치용 박막 트랜지스터의 제조방법.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

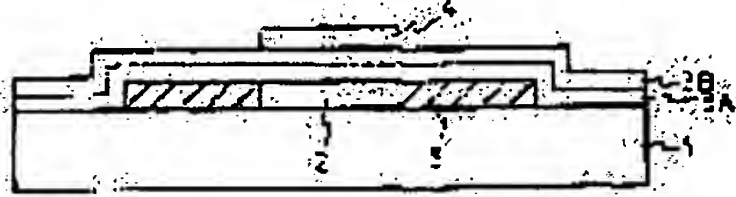
도면

도 2

제 2 A 도



제 2 B 도



제 2 C 도

